

10830-086001

JC879 U.S. PTO
10/043598
01/10/02

日 本 国 特 許 庁
JAPAN / PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月10日

出 願 番 号

Application Number:

特願2001-002030

出 願 人

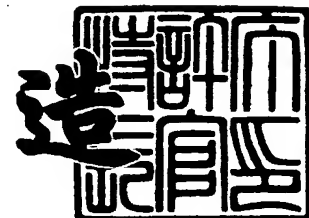
Applicant(s):

安藤電気株式会社

2001年12月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3108616

【書類名】 特許願

【整理番号】 S00-12-18

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 15/00

【発明者】

 【住所又は居所】 東京都大田区蒲田 4 丁目 1 9 番 7 号 安藤電気株式会社
 内

 【氏名】 田内 正治

【特許出願人】

 【識別番号】 000117744

 【氏名又は名称】 安藤電気株式会社

【代理人】

 【識別番号】 100099195

 【弁理士】

 【氏名又は名称】 宮越 典明

【選任した代理人】

 【識別番号】 100116182

 【弁理士】

 【氏名又は名称】 内藤 照雄

【手数料の表示】

 【予納台帳番号】 030889

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9909752

 【包括委任状番号】 0014291

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 F F T 演算装置

【特許請求の範囲】

【請求項 1】 大容量記憶手段と、

F F T 演算手段と、

該 F F T 演算手段の F F T 演算に際してアクセスされる高速アクセスメモリと

前記大容量記憶手段に記憶された被 F F T データ (N) を、前記高速アクセスメモリのアクセスに適した、整数分の 1 のブロック (M 個 = 2 の m 乗) に分割する分割処理部と、

前記大容量記憶手段から、前記高速アクセスメモリへ、分割されたブロックの F F T データを転送する第 1 の転送手段と、

前記高速アクセスメモリに記憶された F F T データを基に、前記 F F T 演算手段で F F T 演算した演算結果を、前記高速アクセスメモリ及び並び替え処理部を介して、前記大容量記憶手段の元の格納位置に転送する第 2 の転送手段と、

を有することを特徴とする F F T 演算装置。

【請求項 2】 前記 F F T 演算手段を、第 1 ~ n の F F T 演算部で構成し、該第 1 ~ n の F F T 演算部で第 1 ~ n ステージの F F T 演算を実行することを特徴とする請求項 1 に記載の F F T 演算装置。

【請求項 3】 前記 F F T 演算手段を、M 個 (M = 2 の m 乗) の第 1 の F F T 演算部と、K 個 (K = 2 の k 乗) の第 2 の F F T 演算部とで構成し、第 1 の F F T 演算部で第 1 ステージの F F T 演算を実行し、第 2 の F F T 演算部で第 2 ステージの F F T 演算を実行することを特徴とする請求項 1 に記載の F F T 演算装置。

【請求項 4】 前記分割処理部は、並び替え処理機能を備え、ステージと次のステージとの間で、F F T データの並び替えを実行することを特徴とする請求項 3 に記載の F F T 演算装置。

【請求項 5】 前記被 F F T データは、それぞれ実数部及び虚数部からなり、回転子との間で F F T 演算処理されることを特徴とする請求項 1 ~ 4 のいずれ

か 1 項に記載の F F T 演算装置。

【請求項 6】 前記回転子が前記ブロックに対応して予めテーブルに保管されていることを特徴とする請求項 1～5 のいずれか 1 項に記載の F F T 演算装置。

【請求項 7】 前記被 F F T データの内の虚数部データの演算を省略することを特徴とする請求項 1～6 のいずれか 1 項に記載の F F T 演算装置。

【請求項 8】 前記 F F T 演算において、回転子の実数部又は虚数部のいずれか一方がゼロの場合には、乗算を省略することを特徴とする請求項 1～7 のいずれか 1 項に記載の F F T 演算装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、F F T（高速フーリエ変換）演算装置に関する。

【0002】

【従来の技術】

信号処理において F F T（高速フーリエ変換）、I F F T（逆フーリエ変換処理）は、例えば D S P 等の演算デバイスの性能向上により高速に処理できるため、大容量データの演算（解析）ができるようになった。

F F T（以降、フーリエ変換も逆フーリエ変換も F F T として扱う）では、周波数間引き、時間間引きによらず全てのデータを使用して演算するので、実部、虚部のデータ分の記憶デバイス（以降、メモリという）が必要である。

【0003】

F F T 演算処理はメモリに格納されている実部、虚部データを演算デバイスのレジスタへ転送し、そこで回転子との演算（乗算・加算）を行い、演算結果を、メモリへ格納する。

演算式、式 1 は図 4 中に、式 1 F F T 算出式として示されている。（F F T 演算は既知の手法であるので、説明は省略する。）

この演算を全てのデータに対して繰り返す行う。

【0004】

実際に演算デバイスで処理する場合、演算の度に、データをデバイス内レジスタへ転送してから演算している。

よって、転送時間の短縮、すなわちメモリのアクセス時間の短縮はFFTの高速化につながる。

【0005】

例えば、16個のデータを使用した周波数間引き方式のFFT演算で説明する。周波数間引きの場合、前記式1の周波数間引きを使用する。

それぞれの扱うデータは、図2-1に示す従来処理のように、入力データの並び替え後、第一段で入力データX0と入力データX8に対して式1の計算をする。これを全ての入力データに対して図2-1に示すように演算すると第1段の演算が終了する。

【0006】

次に第2段として第一段の入力データX0とX8の結果と、X4、X12の演算結果に対して同様の演算をする。この演算を同様の方法で処理し、第2段の演算を処理していく。

これを第3段、第4段と進めていくと最終的にY0からY15までの出力結果を得ることができる。

【0007】

図2-2の太線で示すように、Y0のデータを求めるためにはX0～X15まで全てのデータを使用することになる。

したがって、従来は演算に用いられるデータは、同一のメモリに格納されていて、演算毎にメモリから演算デバイスへ転送され演算が行われていた。

【0008】

この従来のFFT演算装置のハードウェア構成を説明する。

先ず、図5-1に示す従来例1について説明する。

この例は、ネットワーク上のデータの転送速度の向上により、FFT演算処理する大容量のデータをサーバに格納しておき、ネットワークを通してFFT演算する例である。

この場合、サーバは大容量のデータを格納できるものであり、大容量記憶デバイスである。

ネットワーク等を通して接続されているFFT演算装置（例えば、パソコンとか、解析装置とか）は、サーバからネットワークを介してデータを読み込むより早くアクセス可能な高速アクセス記憶デバイス（例えば、HDとかMO等：A）を設けたシステムでFFT演算を実行している。

しかし、高速アクセス記憶デバイスの容量が小さくて全てのデータを転送してFFT演算できない場合には、今までのFFT演算処理アルゴリズムでは、必要なFFTデータが記憶デバイスに転送できないので、FFT演算する1ワード毎に、図3に示すように、大容量記憶デバイスから低速アクセスで、必要なFFTデータを転送しなければならなかった。

または、FFT演算すること自体考えられなかった。

【0009】

別の、図5-2に示す従来例2について説明する。

この場合は、HD、MO等の大容量記憶デバイスとCPU、DSPなどのFFT演算装置と、高速アクセス可能な記憶デバイス（例えば、RAM）を有するシステムでFFT演算を実行する。

この場合にも、高速アクセス記憶デバイスの容量が小さくて、全てのFFTデータを大容量記憶デバイスから転送してFFT演算できない場合には、上記の例と同様に、今までのFFT演算処理アルゴリズムでは、FFT演算に必要なFFTデータが記憶デバイスに転送できないので、図3に示すように、低速アクセスで、FFT演算する1ワード毎に、FFTデータを転送しなければならなかった。

または、FFT演算すること自体考えられなかった。

【0010】

更に、図5-3に示す従来例3について説明する。

この場合は、HD、低速大容量RAM等の大容量記憶デバイスとCPU、DSP等の演算装置と、高速アクセス可能な記憶デバイス（例えば、内部RAM、高速RAM）を有するシステムでFFT演算を実行する。

高速アクセス記憶デバイスの容量が小さくて、全てのFFTデータを転送してFFT演算できない場合、上記と同様に、今までのFFT演算処理アルゴリズムでは、演算に必要なFFTデータが記憶デバイスに転送できないので、図3に示すように、低速アクセスで、FFT演算する1ワード毎、データを転送しなければならなかった。

また、FFT演算すること自体考えられなかった。

【0011】

【発明が解決しようとする課題】

本発明によるFFT演算装置は、大容量のデータのFFT演算において、大容量記憶デバイスからFFTデータを分割して高速アクセスメモリへ転送した後、FFT演算することで、演算装置への演算毎の転送時間を短縮することにより、FFT演算全体の処理時間の短縮を実現することである。

【0012】

【課題を解決するための手段】

上記課題を解決するために、大容量記憶手段（大容量記憶デバイス）(11)と、FFT演算手段（演算デバイス）(15)と、該FFT演算手段の演算に際してアクセスされる高速アクセスメモリ（高速アクセス記憶デバイス）(12)と、前記大容量記憶手段に記憶された被FFTデータ（N）を、前記高速アクセスメモリのアクセスに適した、整数分の1のブロック（M個＝2のm乗）に分割する分割処理部(13)と、前記大容量記憶手段から、前記高速アクセスメモリへ、分割されたブロックのFFTデータを転送する第1の転送手段（転送装置A）(14)と、前記高速アクセスメモリに記憶されたFFTデータを、前記FFT演算手段でFFT演算した演算結果を、前記高速アクセスメモリ及び並び替え処理部(17)を介して、前記大容量記憶手段の元の格納位置に転送する第2の転送手段（転送装置B）(16)と、によって、FFT演算装置を構成することにより、大容量のデータのFFT演算において、大容量記憶デバイスからFFTデータを分割して高速アクセスメモリへ転送した後、FFT演算することで、演算装置への演算毎の転送時間を短縮することにより、FFT演算全体の処理時間の短縮を実現することができる。（請求項1）

【 0 0 1 3 】

また、前記 F F T 演算手段を、第 1 ～ n の F F T 演算部で構成し、該第 1 ～ n の F F T 演算部で第 1 ～ n ステージの F F T 演算を実行することができる。（請求項 2）

また、前記 F F T 演算手段を、M 個（M = 2 の m 乗）の第 1 の F F T 演算部と、K 個（K = 2 の k 乗）の第 2 の F F T 演算部とで構成し、第 1 の F F T 演算部で第 1 ステージの F F T 演算を実行し、第 2 の F F T 演算部で第 2 ステージの F F T 演算を実行することによって、少ない高速アクセスメモリで F F T 演算が可能になる。（請求項 3）

また、前記分割処理部は、並び替え処理機能を備え、ステージと次のステージとの間で、F F T データの並び替えを実行することにより、次のステージにおける F F T 演算をより高速に実行できる。（請求項 4）

【 0 0 1 4 】

また、前記被 F F T データは、それぞれ実数部及び虚数部からなり、回転子との間で F F T 演算処理することにより行われる。（請求項 5）

また、前記回転子が前記ブロックに対応して予めテーブルに保管しておくことにより、より高速で F F T 演算が実行できる。（請求項 6）

【 0 0 1 5 】

また、前記被 F F T データの内の虚数部データの演算を省略することにより、より高速で F F T 演算が実行できる。（請求項 7）

また、前記 F F T 演算において、回転子の実数部又は虚数部のいずれか一方がゼロの場合には、乗算を省略することにより、更に高速で F F T 演算の実行が可能になる。（請求項 8）

【 0 0 1 6 】

【発明の実施の形態】

本発明は、大容量記憶デバイスと、高速アクセス記憶デバイスと、F F T 演算装置を有する F F T 演算装置であり、大容量記憶デバイスから高速アクセス記憶デバイスへ F F T データを分割して転送し、F F T 演算装置と高速アクセス記憶デバイス間で F F T 演算をして、ステージ処理後のデータを並び替えて再びプロ

ック毎に F F T 演算することを特長としている。

【 0 0 1 7 】

本発明のハードウェア構成を図 1 を用いて説明する。

2 6 2 1 4 4 点の F F T 演算する場合、2 6 2 1 4 4 点の実部・虚部の F F T データが、大容量記憶デバイス 1 1 に配置されているとする。

まず、前記 F F T 演算の総データをブロックに分ける。

この場合、高速アクセス記憶デバイス 1 2 に 5 1 2 点の実部、虚部、回転子データを格納できるとすると、1 ブロックのデータ数は 5 1 2 (a) となり、5 1 2 個 (b) のブロックができる。

したがって、5 1 2 点 (a) の F F T 演算を 5 1 2 回 (b) 繰り返すことにより、全ての F F T データの演算が終了することになる。

【 0 0 1 8 】

周波数間引きで処理をする場合、まず、ビットリバースによる並び替えをする

(ビットリバースは F F T の一般的な並び替えであり説明は省略する。大容量記憶デバイスに格納されたデータが既にビットリバース処理後のデータであれば並び替えを行う必要はない。)(図 1 では、並び替え処理部は分割処理部 1 3 に含まれているものとして記載されている。)

ビットリバースによる並び替え後、分割処理部 C 3 では、実部 [0] ~ [2 6 2 1 4 3] 、虚部 [0] ~ [2 6 2 1 4 3] から実部 [0] ~ [5 1 1] 、虚部 [0] ~ [5 1 1] のそれぞれの 5 1 2 個のデータを取り出す。

【 0 0 1 9 】

F F T 演算処理するためには、ブロック数は 2 の m 乗であることが必要である。転送装置 A 1 4 では、取り出された 5 1 2 点のデータを高速アクセス記憶デバイス 1 2 へ転送する。

回転子は、1 5 の F F T 演算部 1 で作成しても良いが、F F T 演算時には高速アクセス記憶デバイス 1 2 に配置しておくのが良い。

F F T 演算部 1 では、高速アクセス記憶デバイス 1 2 に格納された 5 1 2 個の実部、虚部のデータと、回転子係数により、9 段の F F T 演算 (バタフライ演算

: 式 1 参照、2 の 9 乗 = 512) を行い、第 1 ステージ後の演算結果 (c) を高速アクセス記憶デバイス 12 に出力する。

【0020】

転送装置 B 16 は、演算結果を高速アクセス記憶デバイス 12 から並び替え処理部 D 17 へ転送する。

並び替え処理部 D 17 では、大容量記憶デバイスの実部 [0] ~ [511]、虚部 [0] ~ [511] (元の格納位置) ヘデータを格納する。

【0021】

同様に、大容量記憶デバイスの実部、虚部のデータから 512 点毎に分割処理部 C 13、転送装置 A 14 を使用して、実部、虚部のデータを高速アクセス記憶デバイス 12 に転送し、FFT 演算部で FFT 演算を実行する。

そして、演算結果を、転送装置 B 16、並び替え処理部 D 17 を使用して、FFT 演算結果を大容量記憶デバイス 11 へ格納する処理を 512 回繰り返す。

(図 6-1 の第 1 ステージ処理)

【0022】

第 1 ステージ終了後、第 2 ステージで使用する演算データの抽出のため、分割処理部 C (並び替え処理部) では、実部、虚部データ [0] から 512 点毎にデータを 512 点抽出する。

転送装置 A 14 では抽出した実部、虚部 512 個のデータを高速アクセス記憶デバイス 12 へ転送する。

FFT 演算部 2 では、高速アクセス記憶デバイス 12 に格納された 512 個の実部、虚部のデータと、回転子係数により、残り 9 段の FFT 演算 (バタフライ演算: 式 1 参照、2 の 9 乗 = 512) を行い、演算結果を高速アクセス記憶デバイス 12 に出力する。

【0023】

上記の場合は、FFT データが 262144 点であったので、 512×512 に分けたが、これは第 1 ステージのブロック数が 1024、第 2 ステージのブロック数が 256 でも良い。

その場合には、FFT 演算部 1 では 1024 点の FFT 演算を行い、FFT 演

算部 2 で 2 5 6 点の F F T 演算を行うことも可能なため、図 1 の演算デバイス 1 5 の F F T 演算部を 1, 2 に分けている。

【 0 0 2 4 】

転送装置 B 1 6 は、F F T 演算結果を高速アクセス記憶デバイス 1 2 から並び替え処理部 D 1 7 へ転送し、並び替え処理部では、大容量記憶デバイスの実部、虚部 [0] から、5 1 2 点毎に (元の格納位置) ヘデータを配置する。

同様に、大容量記憶デバイス 1 1 の実部、虚部のデータから 5 1 2 点のデータを分割処理部 C 1 3、転送装置 A 1 4 を使用して、実部、虚部のデータを高速アクセス記憶デバイスに転送し、F F T 演算部 2 で F F T 演算を実行する。

【 0 0 2 5 】

そして、転送装置 B、並び替え処理部 D を用いて、F F T 演算結果を大容量記憶デバイスへ格納する処理を 5 1 2 回繰り返す。(図 6 - 1 の第 2 ステージ処理)

上記の処理のフローチャートを図 6 - 1 に、また、ブロックの演算順序を図 6 - 2 に示す。

【 0 0 2 6 】

この処理により、F F T 演算において、データの実部、虚部のデータの、F F T 演算装置と記憶デバイス間のデータ転送時間を短縮させることにより F F T 演算全体の高速化を図っている。

以上の構成において、実際にハードウェアで実現する場合、大容量記憶デバイスは外部 R A M に、転送装置 A、転送装置 B、分割処理部 C、並び替え処理部 D、F F T 演算部 1、F F T 演算部 2 は D S P や C P U、高速アクセス記憶デバイスは D S P や C P U の内部 R A M で実現することができる。

【 0 0 2 7 】

次に、2 6 2 1 4 4 点の F F T データでは、データ数が大きいので、1 6 点の F F T データの場合のブロックへの分割、並び替え、複数ステージ処理の採用による、本発明の F F T 演算高速アルゴリズムの概念を図 4 を用いて説明する。

【 0 0 2 8 】

並び替え 1 では、最初のステージ後 (図 4 では第 2 ステージのこと) には、使

用データが別のブロックにまたがるので、データ選択（並び替え）によって使用データを選び直している。

図4では第3段、第4段に使用するデータをこの並び替え1で選び直している。並び替え1以降は、再び、選び出した使用データ毎に演算ブロックを構成し、ブロック毎に転送し、FFT処理する。

これを全てのブロックで繰り返すことによって全てのFFT処理を完結させる。この並び替えにより複数のステージを構成することで、高速アクセス記憶デバイス内にデータを配置してFFT処理することが可能となる。

【0029】

次に、回転子係数の選択であるが、周波数間引きによるFFTの場合、図9の表1の様に回転子を使用する。

回転子を入力データと掛け合わせて結果を得るため、回転子の係数もレジスタへ転送して演算される。

図9の表2の様に各段で使用する回転子は各ブロックで違うため、各ブロックの各ステージで使用する回転子係数を使用する順に並べて用意する必要があり、これはあらかじめ高速アクセス記憶デバイスに用意しておくか、大容量記憶デバイスから転送するが、テーブル化することで共通の演算ルーチンを組むことができる。

【0030】

各ブロックでは、図9の表2のようにテーブルの上から順に回転子を抽出して演算をする。

回転子係数の抽出はテーブルの上から順に参照するという簡単な方法で実現可能であるため処理の高速化も容易に実現できる。第2ステージでも同様に必要な回転子係数を抽出する。

【0031】

また、現実的には、サンプリングしたデータのFFT周波数解析を行う場合、FFT演算の入力である実数部と虚数部データは、実数部にサンプリングデータを、虚数部に「0」を格納して演算する。虚数部が「0」であれば虚数データの演算を省略することができる。（図8の①：第1段の演算をを変更することによ

り実現でき、第1ステージの各ブロックで共通に使用することが可能)

【0032】

実際には、 $X_0 \sim X_{15}$ 及び $Y_0 \sim Y_{15}$ のデータと回転子は、

例えば、

$$X_1 = X_{r1} \text{ (実部)} + j X_{i1} \text{ (虚部)}、$$

$$X_2 = X_{r2} \text{ (実部)} + j X_{i2} \text{ (虚部)}、$$

$$Y_1 = Y_{r1} \text{ (実部)} + j Y_{i1} \text{ (虚部)}、$$

$$Y_2 = Y_{r2} \text{ (実部)} + j Y_{i2} \text{ (虚部)}、$$

$$W = W_r \text{ (実部)} + j W_i \text{ (虚部)} \text{ の複素数で表される。}$$

よって、周波数間引き法における前記演算式1は、

$$\begin{aligned} Y_1 &= X_1 + X_2 = (X_{r1} + jX_{i1}) + (X_{r2} + jX_{i2}) \\ &= (X_{r1} + X_{r2}) + j(X_{i1} + X_{i2}) \dots\dots\dots (1-1) \end{aligned}$$

$$\begin{aligned} Y_2 &= (X_1 - X_2) W = \{ (X_{r1} + jX_{i1}) - (X_{r2} + jX_{i2}) \} (W_r + jW_i) \\ &= \{ (X_{r1} - X_{r2}) + j(X_{i1} - X_{i2}) \} (W_r + jW_i) \end{aligned}$$

$X_R = X_{r1} - X_{r2}$, $X_I = X_{i1} - X_{i2}$ とすると

$$Y_2 = (X_R + jX_I) (W_r + jW_i) = (X_R \cdot W_r - X_I \cdot W_i) + j(X_R \cdot W_i + X_I \cdot W_r) \dots (1-2)$$

(1-1)より、

$$Y_{r1} \text{ (実部)} = X_{r1} + X_{r2}$$

$$Y_{i1} \text{ (虚部)} = X_{i1} + X_{i2}$$

(1-2)より、

$$Y_{r2} \text{ (実部)} = X_R \cdot W_r - X_I \cdot W_i$$

$$Y_{i2} \text{ (虚部)} = X_R \cdot W_i + X_I \cdot W_r$$

実部、虚部に対して上記の演算を実行する。

ここで、サンプリングデータとして実部のデータのみが与えられると、虚部が「0」で演算されるため、

$$Y_{r1} \text{ (実部)} = X_{r1} + X_{r2}$$

$$Y_{i1} \text{ (虚部)} = X_{i1} + X_{i2} = 0 + 0$$

$$Y_{r2} \text{ (実部)} = X_R \cdot W_r - X_I \cdot W_i = X_R \cdot W_r$$

$$Yi2 \text{ (虚部)} = XR \cdot Wi + XI \cdot Wr = XR \cdot Wi$$

になる。これは、一段目に限ってであり、二段目以降は虚部のデータが存在するので、正規の演算が必要になる。

【 0 0 3 3 】

また、回転子の値が実部 = 1、虚部 = 0、または、実部 = 0、虚部 = 1 であることにより回転子と演算データの乗算を省略する事ができる（図 8 の②：第 3 段、第 4 段の演算を変更することにより実現でき、第 2 ステージで使用する回転子が同じなので処理ルーチンを共通に使用することが可能）とか、等の既知の高速化手法を反映させることが容易であり、これにより更に高速化が可能になる。

例えば、回転子 $W = (Wr, Wi) = (1, 0)$ の場合、

$$Yr2 \text{ (実部)} = XR \cdot Wr - XI \cdot Wi = XR$$

$$Yi2 \text{ (虚部)} = XR \cdot Wi + XI \cdot Wr = XI$$

また、回転子 $W = (Wr, Wi) = (0, j)$ の場合、

$$Yr2 \text{ (実部)} = XR \cdot Wr - XI \cdot Wi = -XI$$

$$Yi2 \text{ (虚部)} = XR \cdot Wi + XI \cdot Wr = XR$$

として、演算を省略することが可能である。

【 0 0 3 4 】

第 1 ステージ、第 2 ステージの FFT 演算データ数は同じにする必要はなく、2 の m 乗、2 の k 乗と、FFT 演算可能な数にまとまっていればよい。ステージも、2 分割するのでなく、ステージ 1 ～ n とする事ができる。

【 0 0 3 5 】

【発明の効果】

請求項 1 に記載の発明では、大容量記憶手段と、FFT 演算手段と、該 FFT 演算手段の演算に際してアクセスされる高速アクセスメモリと、前記大容量記憶手段に記憶された被 FFT データ (N) を、前記高速アクセスメモリのアクセスに適した、整数分の 1 のブロック (M 個 = 2 の m 乗) に分割する分割処理部と、前記大容量記憶手段から、前記高速アクセスメモリへ、分割されたブロックの FFT データを転送する第 1 の転送手段と、前記高速アクセスメモリに記憶された FFT データを、前記 FFT 演算手段で FFT 演算した演算結果を、前記高速ア

クセメモリ及び並び替え処理部を介して、前記大容量記憶手段の元の格納位置に転送する第2の転送手段と、によって、FFT演算装置を構成することにより、大容量のデータのFFT演算において、大容量記憶デバイスからFFTデータを分割して高速アクセスメモリへ転送した後、FFT演算することで、演算装置への演算毎の転送時間を短縮することにより、FFT演算全体の処理時間の短縮を実現することができる。

【0036】

また、請求項2に記載の発明では、前記FFT演算手段を、第1～nのFFT演算部で構成し、該第1～nのFFT演算部で第1～nステージのFFT演算を実行することができる。

また、請求項3に記載の発明では、前記FFT演算手段を、M個（ $M=2$ の m 乗）の第1のFFT演算部と、K個（ $K=2$ の k 乗）の第2のFFT演算部とで構成し、第1のFFT演算部で第1ステージのFFT演算を実行し、第2のFFT演算部で第2ステージのFFT演算を実行することによって、少ない高速アクセスメモリでFFT演算が可能になる。

また、請求項4に記載の発明では、前記分割処理部は、並び替え処理機能を備え、ステージと次のステージの間で、FFTデータの並び替えを実行することにより、次のステージにおけるFFT演算をより高速に実行できる。

【0037】

また、請求項5に記載の発明では、前記被FFTデータは、それぞれ実数部及び虚数部からなり、回転子との間でFFT演算処理することにより行われる。

また、請求項6に記載の発明では、前記回転子が前記ブロックに対応して予めテーブルに保管しておくことにより、より高速でFFT演算が実行できる。

【0038】

また、請求項7に記載の発明では、前記被FFTデータの内の虚数部データの演算を省略することにより、より高速でFFT演算が実行できる。

また、請求項8に記載の発明では、前記FFT演算において、回転子の実数部又は虚数部のいずれか一方がゼロの場合には、乗算を省略することにより、更に高速でFFT演算の実行が可能になる。

【図面の簡単な説明】

【図 1】

本発明の F F T 演算装置の構成を示すブロック図である。

【図 2】

従来 F F T 演算処理を示した図である。

【図 3】

従来方式による F F T 演算におけるデータアクセスの概略図である。

【図 4】

本発明による F F T 演算処理を示す図である。

【図 5】

従来の F F T 演算装置のハードウェア構成を示した図である。

【図 6】

本発明のフローチャート及びブロックの処理順を示した図である。

【図 7】

本発明の、F F T 演算における F F T 回転子の選択を示した図である。

【図 8】

既知の高速手法をとりいれた高速処理を示す概略図である。

【図 9】

本発明の、F F T 回転子の選択及び回転子のテーブルを示した表である。

【符号の説明】

1 1	大容量記憶デバイス
1 2	高速アクセス記憶デバイス
1 3	分割処理部 C
1 4, 1 6	転送装置
1 5	演算デバイス
1 7	並び替え処理部

【書類名】 図面

【図 1】

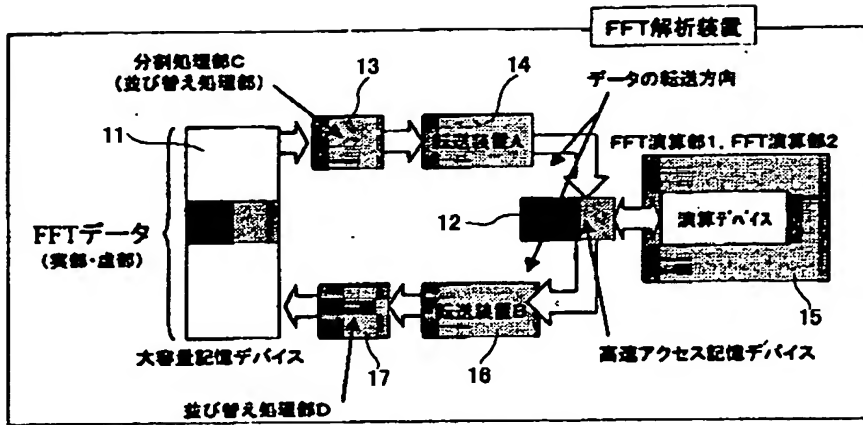


図1 本発明の構成図

【図 2】

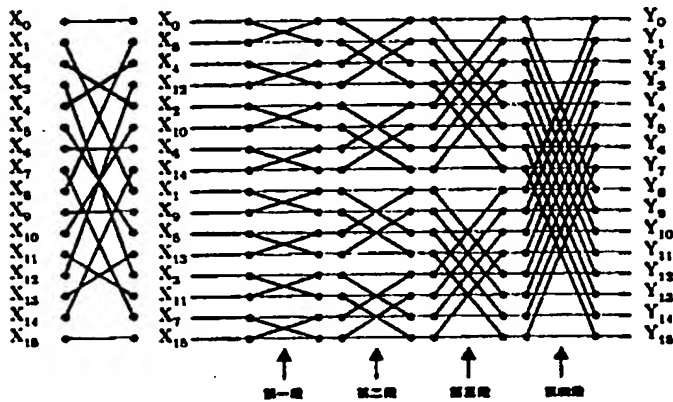


図2-1 従来処理

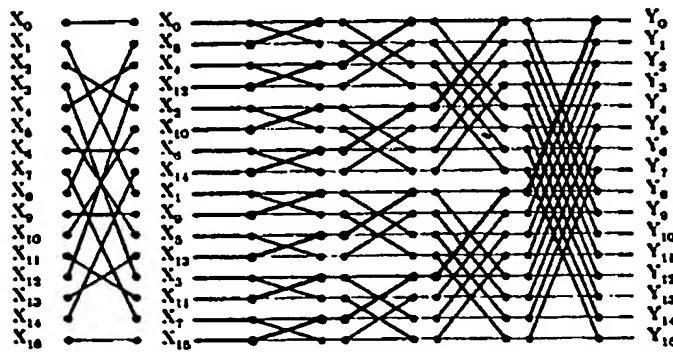


図2-2 従来処理

【図 3】

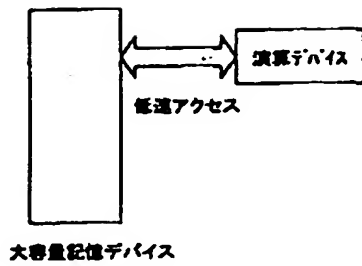


図3 従来方式によるデータアクセス概略図

【図 4】

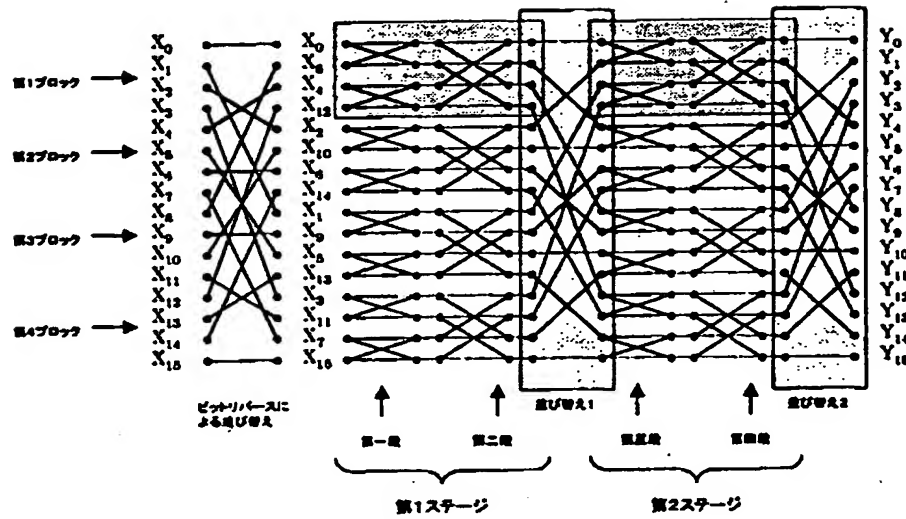
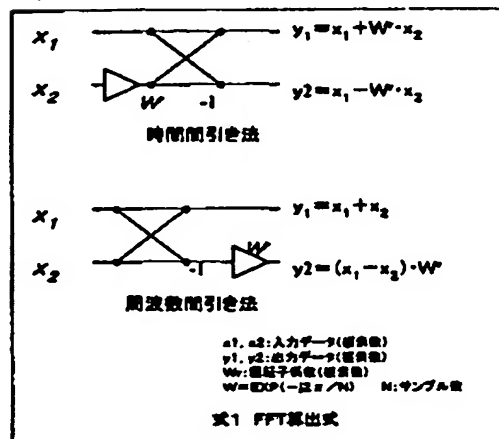


図4 高速な処理 概要図



【図 5】

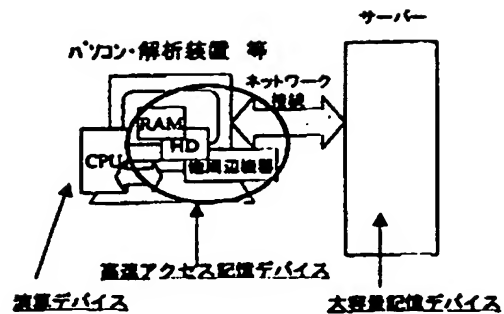


図 5-1 従来例-1

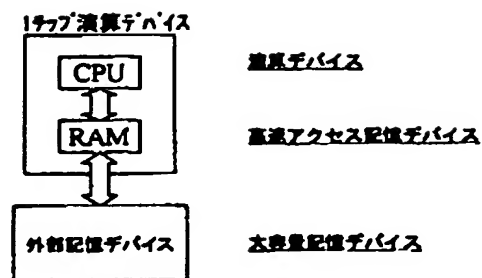


図 5-3 従来例-3

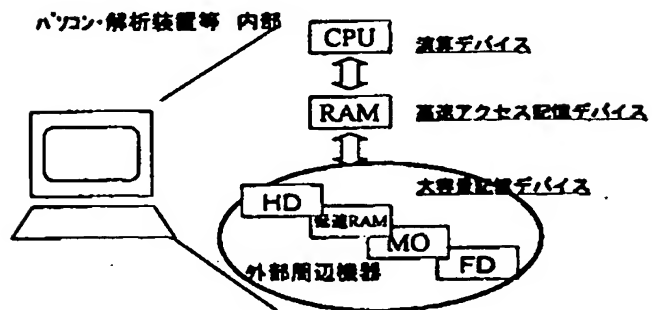


図 5-2 従来例-2

【図 6】

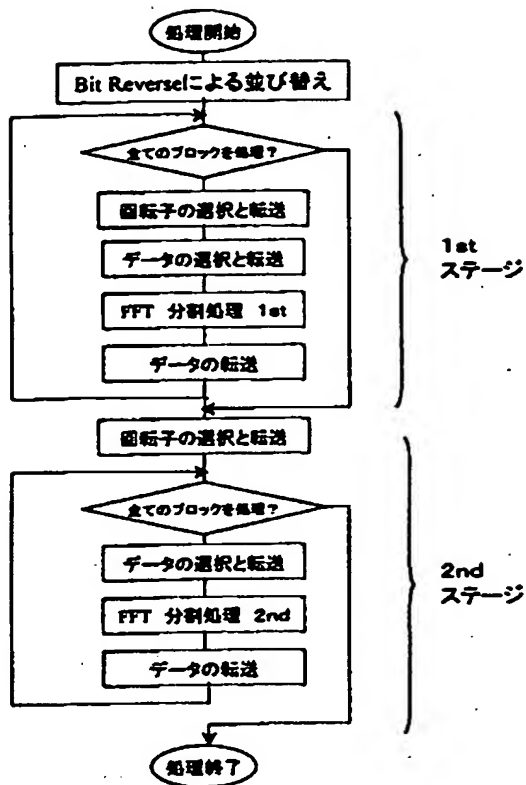


図6-1 フローチャート

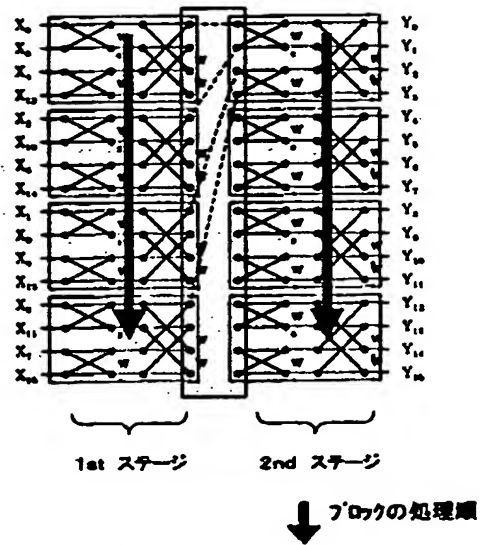
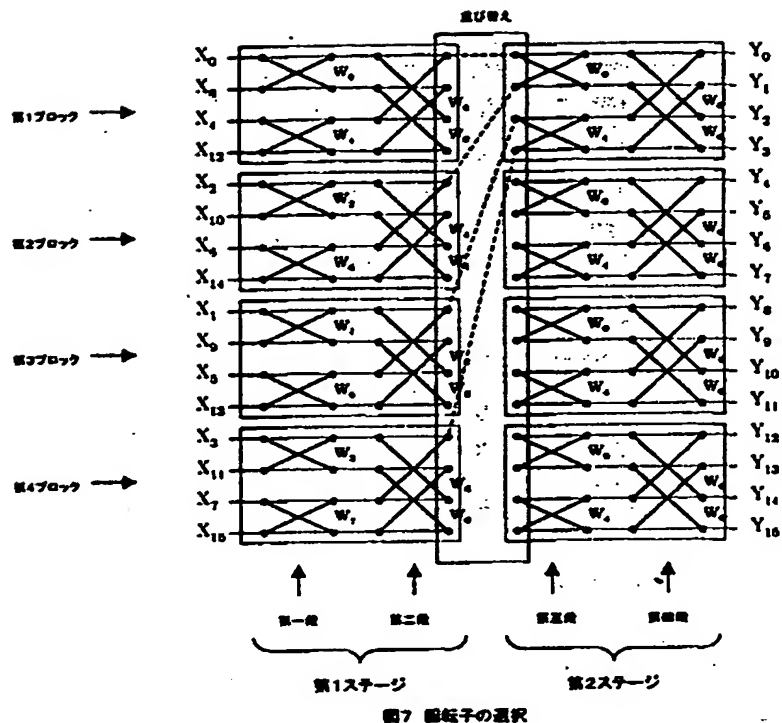
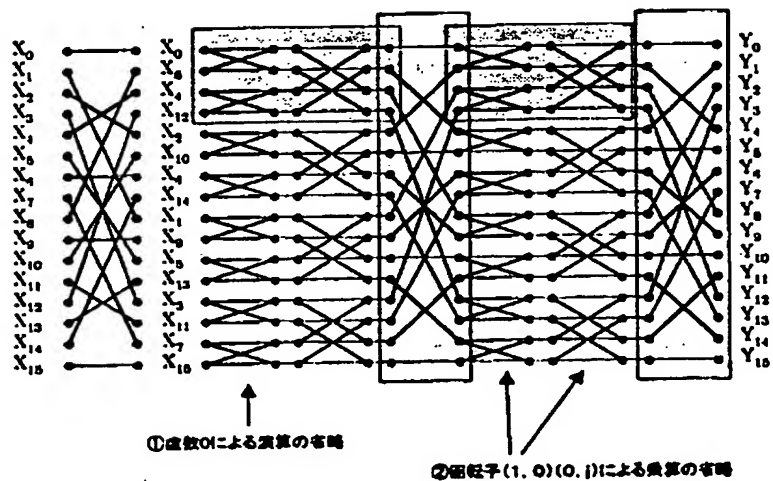


図6-2 ブロックの処理順

【図 7】



【図 8】



【图9】

第1アロフ				第2アロフ			
第一線	第二線	第三線	第四線	第一線	第二線	第三線	第四線
w[0]	w[1]	w[2]	w[3]	w[0]	w[1]	w[2]	w[3]
w[4]	w[5]	w[6]	w[7]	w[4]	w[5]	w[6]	w[7]
w[8]	w[9]	w[10]	w[11]	w[8]	w[9]	w[10]	w[11]
w[12]	w[13]	w[14]	w[15]	w[12]	w[13]	w[14]	w[15]
w[16]	w[17]	w[18]	w[19]	w[16]	w[17]	w[18]	w[19]
w[20]	w[21]	w[22]	w[23]	w[20]	w[21]	w[22]	w[23]
w[24]	w[25]	w[26]	w[27]	w[24]	w[25]	w[26]	w[27]
w[28]	w[29]	w[30]	w[31]	w[28]	w[29]	w[30]	w[31]
w[32]	w[33]	w[34]	w[35]	w[32]	w[33]	w[34]	w[35]
w[36]	w[37]	w[38]	w[39]	w[36]	w[37]	w[38]	w[39]
w[40]	w[41]	w[42]	w[43]	w[40]	w[41]	w[42]	w[43]
w[44]	w[45]	w[46]	w[47]	w[44]	w[45]	w[46]	w[47]
w[48]	w[49]	w[50]	w[51]	w[48]	w[49]	w[50]	w[51]
w[52]	w[53]	w[54]	w[55]	w[52]	w[53]	w[54]	w[55]
w[56]	w[57]	w[58]	w[59]	w[56]	w[57]	w[58]	w[59]
w[60]	w[61]	w[62]	w[63]	w[60]	w[61]	w[62]	w[63]
w[64]	w[65]	w[66]	w[67]	w[64]	w[65]	w[66]	w[67]
w[68]	w[69]	w[70]	w[71]	w[68]	w[69]	w[70]	w[71]
w[72]	w[73]	w[74]	w[75]	w[72]	w[73]	w[74]	w[75]
w[76]	w[77]	w[78]	w[79]	w[76]	w[77]	w[78]	w[79]
w[80]	w[81]	w[82]	w[83]	w[80]	w[81]	w[82]	w[83]
w[84]	w[85]	w[86]	w[87]	w[84]	w[85]	w[86]	w[87]
w[88]	w[89]	w[90]	w[91]	w[88]	w[89]	w[90]	w[91]
w[92]	w[93]	w[94]	w[95]	w[92]	w[93]	w[94]	w[95]
w[96]	w[97]	w[98]	w[99]	w[96]	w[97]	w[98]	w[99]

表1 回転子の選択

	第1ブロック	第2ブロック	第3ブロック	第4ブロック
0	w[0]	w[2]	w[1]	w[3]
1	w[4]	w[6]	w[5]	w[7]
2	w[0]	w[4]	w[2]	w[6]

表2 第1ステージで使用する回転子のテーブル

【書類名】 要約書

【要約】

【課題】 大容量のデータのFFT演算において、大容量記憶デバイスからFFTデータを分割して高速アクセスメモリへ転送した後、FFT演算することで、演算装置への演算毎の転送時間を短縮することにより、FFT演算全体の処理時間の短縮を実現する。

【解決手段】 大容量記憶手段(11)と、FFT演算手段(15)と、該FFT演算手段の演算に際してアクセスされる高速アクセスメモリ(12)と、前記大容量記憶デバイスに記憶された被FFTデータ(N)を、前記高速アクセスメモリのアクセスに適した、整数分の1のブロック(M個=2のm乗)に分割する分割処理部(13)と、前記大容量記憶手段から、前記高速アクセスメモリへ、分割されたブロックのFFTデータを転送する第1の転送手段(14)と、前記高速アクセスメモリに記憶されたFFTデータを、前記FFT演算手段でFFT演算した演算結果を、前記高速アクセスメモリ及び並び替え処理部(17)を介して、前記大容量記憶手段の元の格納位置に転送する第2の転送手段(16)と、を有することを特徴とするFFT演算装置。

【選択図】 図1

特2001-002030

認定・付加情報

特許出願の番号	特願2001-002030
受付番号	50100013700
書類名	特許願
担当官	第三担当上席 0092
作成日	平成13年 1月16日

<認定情報・付加情報>

【提出日】	平成13年 1月10日
-------	-------------

次頁無

【書類名】 手続補正書
【整理番号】 S00-12-18
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2001- 2030
【補正をする者】
 【識別番号】 000117744
 【氏名又は名称】 安藤電気株式会社
【代理人】
 【識別番号】 100099195
 【弁理士】
 【氏名又は名称】 宮越 典明
【手続補正 1】
 【補正対象書類名】 図面
 【補正対象項目名】 全図
 【補正方法】 変更
 【補正の内容】 1
【プルーフの要否】 要

【書類名】

図面

【図 1】

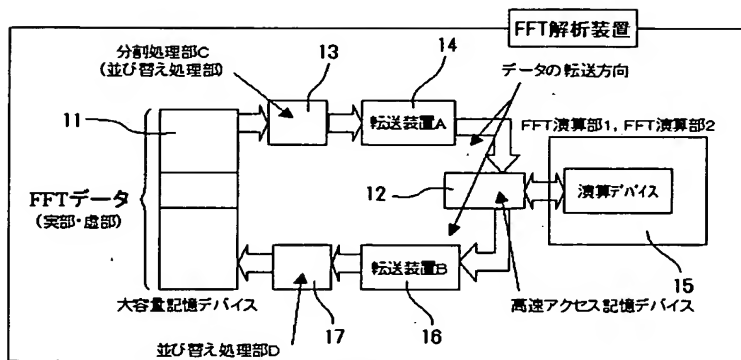


図1 本発明の構成図

【図 2】

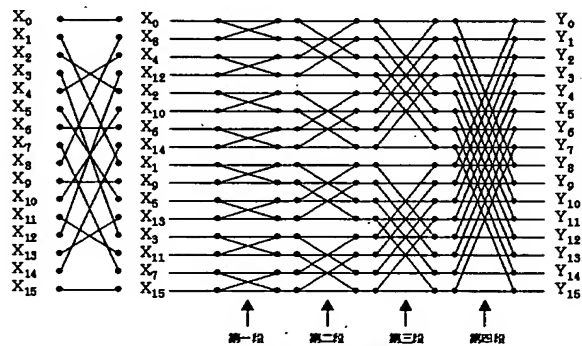


図2-1 従来処理

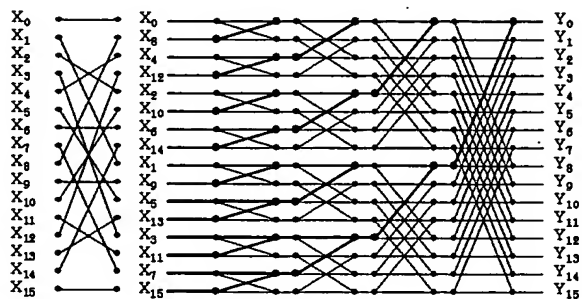


図2-2 従来処理

【図 3】

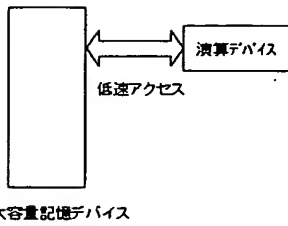
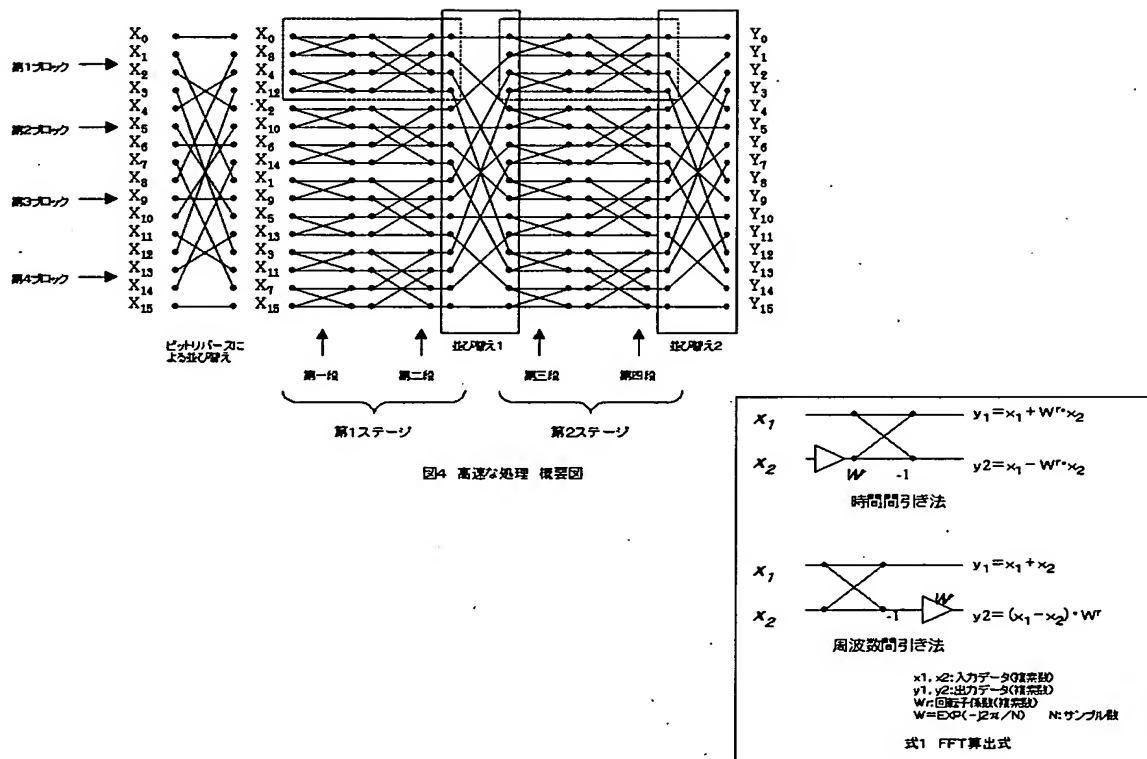


図3 従来方式によるデータアクセス概略図

【図 4】



【図 5】

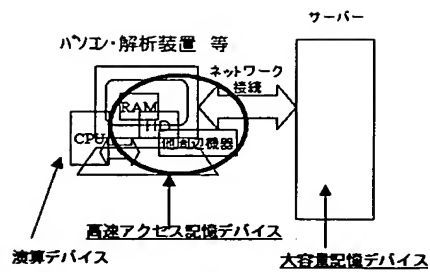


図5-1 従来例-1

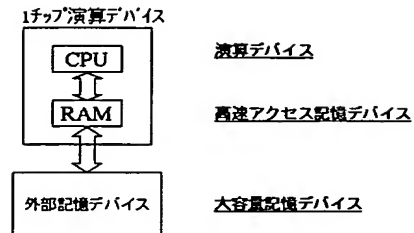


図5-3 従来例-3

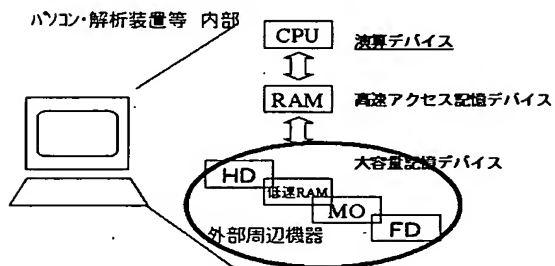
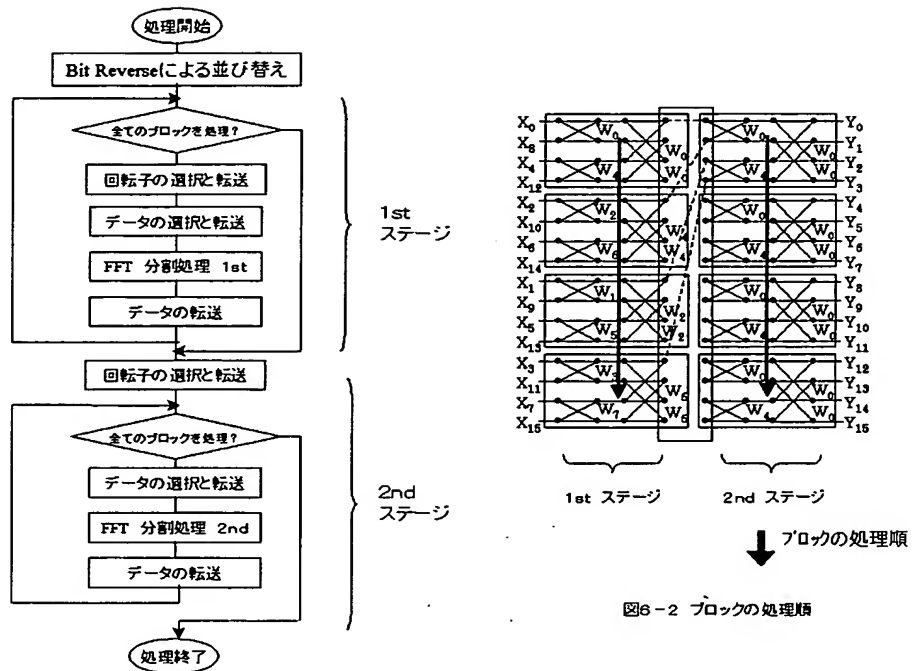
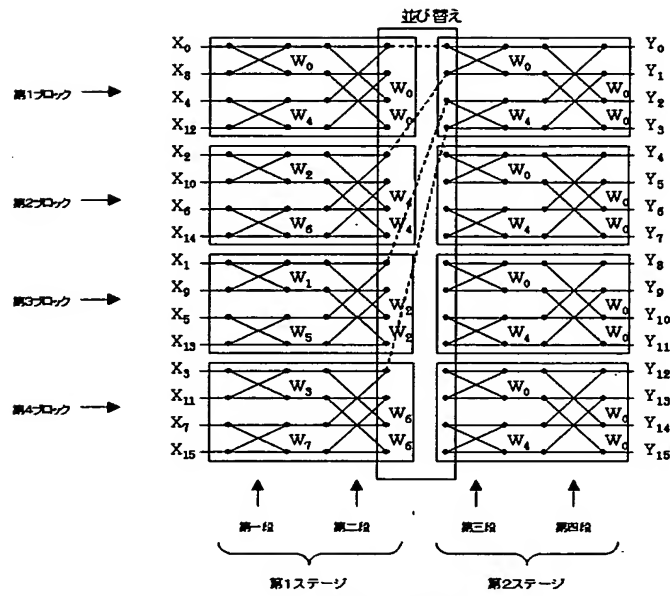


図5-2 従来例-2

【図 6】



【図 7】



【図 8】

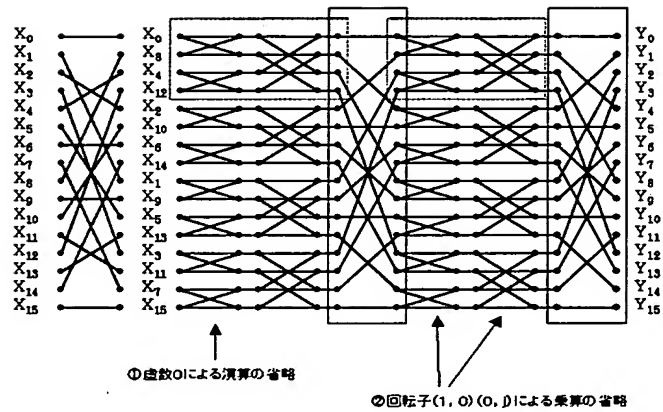


図8 既知の高速手法をとり入れた高速処理 概略図

【図 9】

第1ブロック				第2ブロック			
第1段	第2段	第3段	第4段	第1段	第2段	第3段	第4段
W[0]	W[0]	W[0]	W[0]	W[0]	W[0]	W[0]	W[0]
W[4]	W[4]	W[4]	W[4]	W[4]	W[4]	W[4]	W[4]
W[2]	W[2]	W[2]	W[2]	W[2]	W[2]	W[2]	W[2]
W[6]	W[6]	W[6]	W[6]	W[6]	W[6]	W[6]	W[6]
W[1]	W[1]	W[1]	W[1]	W[1]	W[1]	W[1]	W[1]
W[5]	W[5]	W[5]	W[5]	W[5]	W[5]	W[5]	W[5]
W[3]	W[3]	W[3]	W[3]	W[3]	W[3]	W[3]	W[3]
W[7]	W[7]	W[7]	W[7]	W[7]	W[7]	W[7]	W[7]
第3ブロック				第4ブロック			
第1段	第2段	第3段	第4段	第1段	第2段	第3段	第4段
W[0]	W[0]	W[0]	W[0]	W[0]	W[0]	W[0]	W[0]
W[4]	W[4]	W[4]	W[4]	W[4]	W[4]	W[4]	W[4]
W[2]	W[2]	W[2]	W[2]	W[2]	W[2]	W[2]	W[2]
W[6]	W[6]	W[6]	W[6]	W[6]	W[6]	W[6]	W[6]
W[1]	W[1]	W[1]	W[1]	W[1]	W[1]	W[1]	W[1]
W[5]	W[5]	W[5]	W[5]	W[5]	W[5]	W[5]	W[5]
W[3]	W[3]	W[3]	W[3]	W[3]	W[3]	W[3]	W[3]
W[7]	W[7]	W[7]	W[7]	W[7]	W[7]	W[7]	W[7]

表1 回転子の選択

	第1ブロック	第2ブロック	第3ブロック	第4ブロック
0	W[0]	W[2]	W[1]	W[3]
1	W[4]	W[6]	W[5]	W[7]
2	W[0]	W[4]	W[2]	W[6]

表2 第1ステージで使用する回転子のテーブル

特2001-002030

認定・付加情報

特許出願の番号	特願2001-002030
受付番号	50100026639
書類名	手続補正書
担当官	鈴木 ふさゑ 1608
作成日	平成13年 1月16日

<認定情報・付加情報>

【提出日】 平成13年 1月11日

次頁無

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日 1990年 8月10日
[変更理由] 新規登録
住 所 東京都大田区蒲田4丁目19番7号
氏 名 安藤電気株式会社
2. 変更年月日 2001年 4月13日
[変更理由] 住所変更
住 所 東京都大田区蒲田五丁目29番3号
氏 名 安藤電気株式会社